

JP62033461

Publication Title:

SEMICONDUCTOR DEVICE

Abstract:

PURPOSE:To reduce the base resistance and the base width, to improve the maximum oscillating frequency and cut off frequency, and to reduce considerably the base running time and switching time, by utilizing two-dimensional carriers having high conductivity and confinement effect defined on the hetero junction interface.

CONSTITUTION:By utilizing high conductivity and confinement effect in a narrow region of a two-dimensional positive hole layer 22 defined on the hetero junction interfaces between a fourth semiconductor layer 15, and a third semiconductor layer 14 and a fifth semiconductor layer 16, for example being applied to a HBT, the base resistance r_B and the base width W_B can be reduced to realize a high performance HBT. That is, since two-dimensional positive holes created in the high purity layers 14, 16 have a reduced impurity dispersing effect, and moreover two-dimensional freedom provided by nature reduces the dispersion, this HBT has an extremely large positive hole mobility especially at a low temperature. Thus a semiconductor having excellent high-speed and high frequency characteristic can be provided.

Data supplied from the esp@cenet database - <http://ep.espacenet.com>

⑫ 公開特許公報(A)

昭62-33461

⑤ Int.Cl.⁴H 01 L 29/72
29/20

識別記号

庁内整理番号

8526-5F
8526-5F

④ 公開 昭和62年(1987)2月13日

審査請求 未請求 発明の数 2 (全7頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭60-174657

⑱ 出 願 昭60(1985)8月7日

⑲ 発 明 者 樋 田 光 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) n型の第1の半導体層上にp型の第2の半導体層、高純度あるいはn型の第3の半導体層、該第3の半導体より電子親和力とエネルギーギャップの和が大きい、p型の第4の半導体層、該第4の半導体より電子親和力とエネルギーギャップの和が小さい、高純度あるいはn型の第5の半導体層が順次積層され、且つ前記第3ないし第5の半導体層から構成された半導体積層を、1単位として少くとも1単位以上備え、更にその表面にp型の第6の半導体層とn型の第7の半導体層が設けられ、前記第1及び第7の半導体層に、それぞれオーミック性接触した電極と、前記半導体積層と接触した制御電極とを有することを特徴とする半導体装置。

(2) p型の第1の半導体層上に、n型の第2の半導体層、高純度あるいはp型の第3の半導体層、

該第3の半導体より電子親和力が小さい、n型の第4の半導体層、該第4の半導体より電子親和力大きい、高純度あるいはp型の第5の半導体層が順次積層され、且つ前記第3ないし第5の半導体層から構成された半導体積層を、1単位として少くとも1単位以上備え、更にその表面にn型の第6の半導体層とp型の第7の半導体層が設けられ、前記第1及び第7の半導体層とそれぞれオーミック性接触した電極と、前記半導体積層と接触した制御電極とを有することを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体ヘテロ接合界面における高い導伝性を有する導伝層を用いた半導体装置、特に高速性及び高周波特性に優れた半導体装置に関するものである。

〔従来の技術〕

近年、超高周波・超高速素子として、ヘテロ接合ハイパーラトランジスタ(以下HBTと略記する)

が有望視されている。HBTの理論的アプローチはH Kroemerによってなされ、例えばプロシーディング・オブ・ザ・アイトリプルイー(Proceedings of the IEEE)、70巻、1号、13頁(1982年)に要約されている。HBTの主な特徴は、エミッタ効率、電流利得の向上などであるが、実際のHBTの素子構造としては、依然様々である。第4図に代表的HBTの構造を示す。第4図において、例えばnpn型の場合、101はコレクタ電極、102はn型の基板例えばGaAs、103はn型の第1の半導体層例えばGaAs、104はp型の第2の半導体層、例えばGaAs、105は第2の半導体層104の有する電子親和力とエネルギーギャップの和より大きい、n型の第3の半導体層例えば $Al_{0.3}Ga_{0.7}As$ 、106はベース電極、107はエミッタ電極である。第5図は、熱平衡状態におけるエミッタ電極107直下のエネルギーバンド図を示している。ここで E_c は伝導帯下端のエネルギー単位、 E_F はフェルミ単位、 E_v は価電子帯上端のエネルギー単位を表わしている。第4図に示したHBTにおいては、エミッタ電極107から

$$r_B = \frac{5}{2} r_B C_C + \frac{r_B}{r_L} r_B + (3C_C + C_L) r_L \quad (2)$$

ここで、 f_t は遮断周波数、 r_B はベース抵抗、 C_C はコレクタ容量、 r_L 及び C_L は負荷抵抗及び負荷容量である。また少数キャリアのベース領域走行時間 τ_B は

$$\tau_B = \frac{W_B^2}{2D_n} \quad (3)$$

で与えられる。 W_B はベース幅、 D_n は少数キャリア(今の場合電子)の拡散定数である。更に f_t については、 $\sqrt{r_B}$ にほぼ逆比例する。式(1)~(3)に注目すると、 r_B 、 W_B 及び C_C の低減がHBTの高性能化に極めて重要なことが分る。ところが、 W_B を小さくすると逆に r_B が大きくなってしまうため、先に述べたようにHBTの性能向上に大きな制約を与えてしまうという欠点を有していることになる。またこのような欠点はnpn型のHBTだけでなくpnp型のHBTについても共通の問題となることは明らかである。

本発明の目的は、以上のような従来技術におけ

ベース層(第2の半導体層)104に注入される電子のほとんどがコレクタ電極101に到達するのに対し、ベース電極106からエミッタ層(第3の半導体層)105に注入される正孔は、ベース層104に比べ大きなエネルギーギャップを有したエミッタ層105による反射のために極めて少なくなる。従って、例えばエミッタ接地時の電流増幅率 h_{FE} は極めて大きなものとなる。

〔発明が解決しようとする問題点〕

しかしながら、第4図に示したような従来型のHBTにおいては、例えば高性能化に重要となるベース層104の幅 W_B 及びベース抵抗 r_B が相殺関係にある(即ち W_B を小さくすると r_B が増大する。)為、HBTの性能向上を制限する欠点があった。詳細に述べるために例えばHBTの最大発振周波数 f_{max} とスイッチング時間 τ_B について考える。 f_{max} 及び τ_B については既知のように近似的に次式で与えられる。

$$f_{max} = \left(\frac{f_t}{8\pi r_B C_C} \right)^{1/2} \quad (1)$$

る欠点を除去し、高速性及び高周波特性に極めて優れたヘテロ接合を用いたバイポーラ型の半導体装置を提供することにある。

〔問題点を解決するための手段〕

本発明は、

(1) n型の第1の半導体層上にp型の第2の半導体層、高純度あるいはn型の第3の半導体層、該第3の半導体より電子親和力とエネルギーギャップの和が大きい、p型の第4の半導体層、該第4の半導体より電子親和力とエネルギーギャップの和が小さい高純度あるいはn型の第5の半導体層が順次積層され、且つ前記第3ないし第5の半導体層から構成された半導体積層を、1単位として少なくとも1単位以上備え、更にその表面にp型の第6の半導体層とn型の第7の半導体層とが設けられ、前記第1及び第7の半導体層に、それぞれオーミック性接触した電極と、前記半導体積層と接触した制御電極とを有することを特徴とする半導体装置および、

(2) p型の第1の半導体層上に、n型の第2の

半導体層、高純度あるいはp型の第3の半導体層、該第3の半導体より電子親和力が小さい、n型の第4の半導体層、該第4の半導体より電子親和力が大きい、高純度あるいはp型の第5の半導体層が順次積層され、且つ前記第3ないし第5の半導体層から構成された半導体積層を、1単位として少くとも1単位以上備え、更にその表面にn型の第6の半導体層とp型の第7の半導体層が設けられ、前記第1及び第7の半導体層とそれぞれオーミック性接触した電極と、前記半導体積層と接触した制御電極とを有することを特徴とする半導体装置である。

〔発明の原理・作用〕

以下、図面を参照し本発明の原理と特有の作用効果を明らかにする。説明の都合上、特定の材料を用いることにするが、本発明の原理に照合すれば他の材料に対しても適用できることは明らかである。

第1図(a)は本発明の半導体装置の基本的構造の

高い導伝性と狭い領域内での閉じ込め効果を利用して、例えばHBTに適用した場合の r_b 及び W_b の低減をはかり、HBTの高性能化を実現するものである。

即ち、高純度層14及び16に形成された2次元正孔は、既知のように、特に不純物の散乱の影響が少なくなるため、更には本来有する自由度の2次元性によって散乱が少なくなるために特に低温においては極めて大きな正孔移動度 μ_h を有している。例えばGaAs中の正孔の場合、室温で $\mu_h \approx 400 \text{ cm}^2/\text{V}\cdot\text{s}$ 、77Kでは $\mu_h \approx 4000 \text{ cm}^2/\text{V}\cdot\text{s}$ と飛躍的に増大する。また、この2次元正孔層の正孔面密度 P_h は、各半導体層のキャリア密度及び膜厚によって変化するものの各ヘテロ接合界面当り約 $1 \times 10^{12} \text{ cm}^{-2}$ の実現は可能である。更にこの2次元正孔の波動の拡がりには各ヘテロ接合界面当り約 100 \AA と極めて小さいため、即ち、正孔がヘテロ界面の三角ポテンシャル井戸に閉じ込められているため、実効的ベース幅の低減に大きく寄与することが期待される。

今、 r_b の低減をはかるために実効的ベース幅

一例を示す模式的構造断面図である。

第1図(a)において、11は高抵抗基板、12はn型の第1の半導体層、13はp型の第2の半導体層、14は高純度あるいはn型の第3の半導体層、15は前記第3の半導体14より電子親和力とエネルギーギャップの和が大きい、p型の第4の半導体層、16は前記第4の半導体15より電子親和力とエネルギーギャップの和が小さい、高純度あるいはn型の第5の半導体層、17はp型の第6の半導体層、18はn型の第7の半導体層、19は制御電極、20及び21は第1の半導体層12および第7の半導体層18に接触したオーミック性電極である。

第1図(b)は、第1図(a)に示した本発明にかかる構造において、熱平衡状態における電極20直下でのエネルギーバンド図の一例である。ここで、22は2次元正孔層であり、 E_c, E_f, E_v については第5図で説明したものと同一である。

本発明の基本原理は、前記第3の半導体層14及び第5の半導体層16と、第4の半導体層15のヘテロ接合界面に形成された前記2次元正孔層22の

$W_b = 500 \text{ \AA}$ と薄くした場合において、ベース領域のシート抵抗 R_o について考える。 R_o は次式で与えられる。

$$R_o = (qP_h\mu_h)^{-1} \quad (4)$$

ここで q は電子の電荷量である。第4図に示した従来構造の場合、 $W_b = 500 \text{ \AA}$ とした時にはpn接合による空乏層幅があるため、ベース層104の実効的幅は $1 \times 10^{18} \text{ cm}^{-3}$ 程度のアクセプタ密度(ベース層104)と $5 \times 10^{17} \text{ cm}^{-3}$ 程度のドナー密度(エミッタ層105及びコレクタ層103)を仮定した場合、約 300 \AA と考えられる。また、高いアクセプタ密度の半導体における正孔の移動度は高純度の場合に比べ大きく低下することを考慮すると、例えばp型のGaAsをベース層104に用いた場合 $\mu_h \sim 100 \text{ cm}^2/\text{V}\cdot\text{s}$ になる。従って、従来構造における R_o は、約 $20 \text{ k}\Omega/\square$ と見積られる。一方、本発明においては、室温で $R_o \sim 8 \text{ k}\Omega/\square$ 、77Kで $R_o \sim 0.8 \text{ k}\Omega/\square$ となり、本発明によってベース領域のシート抵抗 R_o 、従ってベース抵抗 r_b が大きく改善されることは明らかである。

る。更に従来構造でよく用いられた W_B の値($> 1000 \text{ \AA}$)に比べ W_B も小さくできるため、(3)式から r_B が大幅に改善されることになる。尚エミッタの注入効率については、2次元正孔層22がヘテロ接合界面の電位障壁を感じるため閉じ込め効果が高く、従ってほぼ理想的な1に近いものとなる。

以上説明したように、本発明によって r_B 及び W_B が大幅に改善されるため f_{\max} 及び r_B の両方において特性向上が実現され、従って、高速性及び高周波特性に優れた半導体装置が得られることは明らかである。

以上の説明では、電子が少数キャリアとなるいわゆるnpn型について述べてきたが、本発明の原理は正孔が少数キャリアとなるいわゆるpnp型についても同様に適用できる。

第2図(a)は、本発明によるpnp型の半導体装置の基本的構造の一例を示す模式的構造断面図である。

第2図(a)において、31は高抵抗基板、32はp型の第1の半導体層、33はn型の第2の半導体層、

34は高純度あるいはp型の第3の半導体層、35は前記第3の半導体層34より電子親和力の小さなn型の第4の半導体層、36は前記第4の半導体層35より電子親和力が高い、高純度あるいはp型の第5の半導体層、37はn型の第6の半導体層、38はp型の第7の半導体層、39は制御電極、40及び41は第7の半導体層38、第1の半導体層32に接触するオーミック性電極である。

第2図(b)は、第2図(a)に示した本発明にかかる構造において、熱平衡状態における電極40直下でのエネルギーバンド図の一例である。ここで42は2次元電子層であり、 E_c, E_p, E_v については第1図(b)及び第5図で説明したものと同一である。

本発明による半導体装置が前述したnpn型によるものと原則的に同様の原理、作用及び効果を有していることは言うまでもない。

[実施例]

以下本発明の実施例を示す。

(実施例1)

本実施例におけるHBTの模式的構造断面図は第

1図(a)と同じである。本実施例においては、11に高抵抗GaAs基板を、12にドナー不純物密度が $5 \times 10^{16} \text{ cm}^{-3}$ 程度で膜厚約5000 \AA のn型の $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ を、13にアクセプタ不純物密度が $5 \times 10^{17} \text{ cm}^{-3}$ 程度、膜厚約100 \AA で、 AlAs のモル比 x が第1の半導体層12との界面で0.25となり、第3の半導体層14側に向かって徐々に減少し、第3の半導体層14との界面で零となる $\text{Al}_x\text{Ga}_{1-x}\text{As}$ を、14に不純物密度が $1 \times 10^{15} \text{ cm}^{-3}$ 以下で膜厚約300 \AA のノンドープGaAsを、15にアクセプタ不純物密度が $2 \times 10^{18} \text{ cm}^{-3}$ 程度で膜厚約500 \AA のp型の $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ を、16に不純物密度が $1 \times 10^{15} \text{ cm}^{-3}$ 以下で膜厚約300 \AA のノンドープGaAsを、17にアクセプタ不純物密度が $1 \times 10^{18} \text{ cm}^{-3}$ 程度、膜厚約100 \AA で、 AlAs のモル比 y が16との界面で零となり、18側に向かって徐々に増加し、18との界面で0.3となる $\text{Al}_y\text{Ga}_{1-y}\text{As}$ を、18にドナー不純物密度が $5 \times 10^{17} \text{ cm}^{-3}$ 程度で膜厚約5000 \AA のn型の $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ を、オーミック性電極20及び21にAuGe/Niによる電極を、制御電極(いわゆるベース電極)19にAuZnによる電極を用いた。

本実施例において、例えばオーミック性電極20をHBTのエミッタ電極、21をコレクタ電極として動作させる。本例におけるベース抵抗 r_B は従来例に比べ大幅に改善され、最高発振周波数 f_{\max} については従来例の約10GHz以下に比べ、約15GHzと増大した。また r_B 及び r_E についても r_B の減少などにより大幅に改善された。尚、本例においては制御電極19にAuZnによるオーミック性電極を用いたが、例えばAlによるショットキー電極を用いることによってHBT動作させることも原理的に可能なことは明白である。

(実施例2)

本実施例におけるHBTの模式的構造断面図を第3図に示す。本実施例においては図示のように52~61の層による積層体である。52にドナー不純物密度が $5 \times 10^{18} \text{ cm}^{-3}$ 程度のGaAs基板を、53にドナー不純物密度が $5 \times 10^{16} \text{ cm}^{-3}$ 程度で膜厚約3000 \AA の $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ を、54にアクセプタ不純物密度が $5 \times 10^{17} \text{ cm}^{-3}$ 程度、膜厚約200 \AA で、 AlAs のモル比 x が53との界面で0.3となり、55側に向かって徐

徐に減少し、55との界面で零となる $Al_xGa_{1-x}As$ を、55に不純物密度が $1 \times 10^{15} cm^{-3}$ 以下で膜厚約 300 \AA の $GaAs$ を、56に不純物密度が $1 \times 10^{15} cm^{-3}$ 以下で膜厚約 30 \AA の $Al_{0.3}Ga_{0.7}As$ を、57にアクセプタ不純物密度が $3 \times 10^{18} cm^{-3}$ 程度で膜厚約 300 \AA の $Al_{0.3}Ga_{0.7}As$ を、58に不純物密度が $1 \times 10^{15} cm^{-3}$ 以下で膜厚約 300 \AA の $GaAs$ を、59にアクセプタ不純物密度が $5 \times 10^{17} cm^{-3}$ 程度、膜厚約 200 \AA で、 $AlAs$ のモル比 y が58との界面で零となり、60側に向かって徐々に増加し、60との界面で0.35となる $Al_yGa_{1-y}As$ を、60にドナー不純物密度が $5 \times 10^{17} cm^{-3}$ 程度で膜厚約 2000 \AA の $Al_{0.35}Ga_{0.65}As$ を、61にドナー不純物密度が $5 \times 10^{18} cm^{-3}$ 程度で膜厚約 3000 \AA の $GaAs$ を用い、オーミック性電極51及び63に $AuGe/Ni$ による電極を、制御電極(いわゆるベース電極)62に $AuZn$ による電極を用いた。

本実施例において、例えば51をHBTのコレクタ電極、63をエミッタ電極として動作させた場合、 f_{max} は実施例1に比べ更に向上し約18GHzとなった。

$Al_xGa_{1-x}As$ を、35に不純物密度が $1 \times 10^{15} cm^{-3}$ 以下で膜厚約 300 \AA のノンドープ $GaAs$ を、36にドナー不純物密度が $2 \times 10^{18} cm^{-3}$ 程度で膜厚約 500 \AA の $Al_{0.3}Ga_{0.7}As$ を、37に不純物密度が $1 \times 10^{15} cm^{-3}$ 以下で膜厚約 300 \AA のノンドープ $GaAs$ を、38にドナー不純物密度が $1 \times 10^{18} cm^{-3}$ 程度、膜厚約 100 \AA で、 $AlAs$ のモル比 y が37との界面で零となり、39側に向かって徐々に増加し、39との界面で0.3となる $Al_yGa_{1-y}As$ を、39にアクセプタ不純物密度が $5 \times 10^{17} cm^{-3}$ 程度で膜厚約 5000 \AA のp型の $Al_{0.3}Ga_{0.7}As$ を、オーミック性電極40及び41に $AuZn$ による電極を、制御電極39に $AuGe/Ni$ による電極を用いた。

本実施例を、HBTに応用した場合、ベース抵抗 r_b を担う2次元電子層42の移動度及び面密度が非常に大きいため、前実施例と同様に、 r_b 及び W_b の大幅な低減が可能になり、従って f_{max} 、 f_t などの性能向上及び r_s の低減が実現できる。尚、制御電極39はショットキー電極でもHBT動作は可能である。

[発明の効果]

これは、いわゆるスペーサ層56の導入によって不純物散乱を減少させ、2次元正孔の移動度の増大がはかれたこと、ベース電極62を2コ設けたこと及び2次元正孔層を有する界面の数を増加させたことなどによる r_s の大幅な低減ができたこと、更にエミッタ側の実効的ドナー密度を向上させてエミッタ注入効率を向上させたことなどに起因する。

以上の実施例の結果からも、本発明が極めて多大な長所を有していることは明らかである。

(実施例3)

次にpnp型の実施例について説明する。

本実施例における模式的構造断面図は第2図(a)と同じである。

本実施例においては、31に高抵抗 $GaAs$ 基板を、32にアクセプタ不純物密度が $5 \times 10^{16} cm^{-3}$ 程度で膜厚約 5000 \AA のp型の $Al_{0.25}Ga_{0.75}As$ を、33にドナー不純物密度が $5 \times 10^{17} cm^{-3}$ 程度、膜厚約 100 \AA で $AlAs$ のモル比 x が33との界面で0.25となり、34側に向かって減少し、34との界面で零となる

以上のように本発明によれば、ヘテロ接合界面に形成された高い導伝性及び閉じ込め効果を有した2次元キャリアを用いることにより、ベース抵抗とベース幅を低減でき、従って最高発振周波数及び遮断周波数の向上、更にはベース走行時間及びスイッチング時間の大幅な低減など多大な長所を有した超高周波超高速素子を実現できる効果を有するものである。

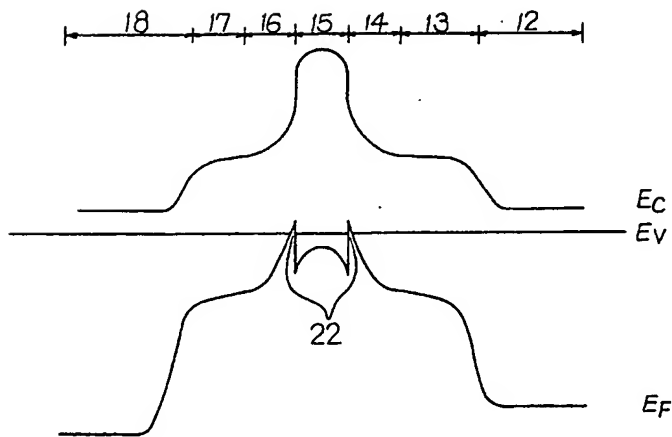
4.図面の簡単な説明

第1図(a)及び第2図(a)は本発明の半導体装置の基本的構造の一例を示す模式的断面図、第1図(b)及び第2図(b)はそれぞれのエネルギーバンド図、第3図は本発明の実施例2の構造を示す模式的断面図、第4図は従来の半導体装置の一例の構造を示す模式的断面図、第5図はそのエネルギーバンド図である。

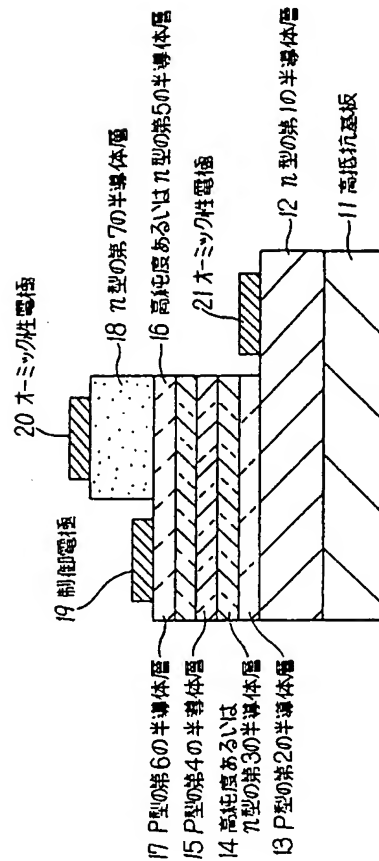
11及び31…高抵抗基板、12…n型の第1の半導体層、32…p型第1の半導体層、13…p型の第2の半導体層、33…n型の第2の半導体層、14…高純度あるいはn型の第3の半導体層、34…高

純度あるいは p 型の第 3 の半導体層、15 … p 型の第 4 の半導体層、35 … n 型の第 4 の半導体層、16 … 高純度あるいは n 型の第 5 の半導体層、36 … 高純度あるいは p 型の第 5 の半導体層、17 … p 型の第 6 の半導体層、37 … n 型の第 6 の半導体層、18 … n 型の第 7 の半導体層、38 … p 型の第 7 の半導体層、19 及び 39 … 制御電極、20, 21, 40 及び 41 … オーミック性電極、22 … 2 次元正孔層、42 … 2 次元電子層。

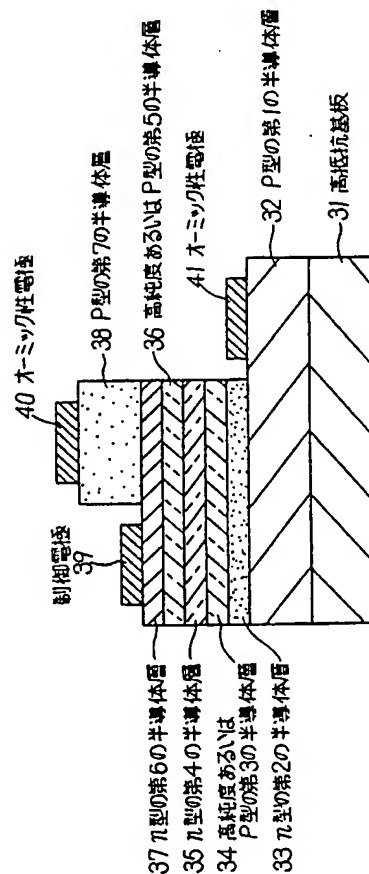
特許出願人 日本電気株式会社
代理人 弁理士 内 原 晋



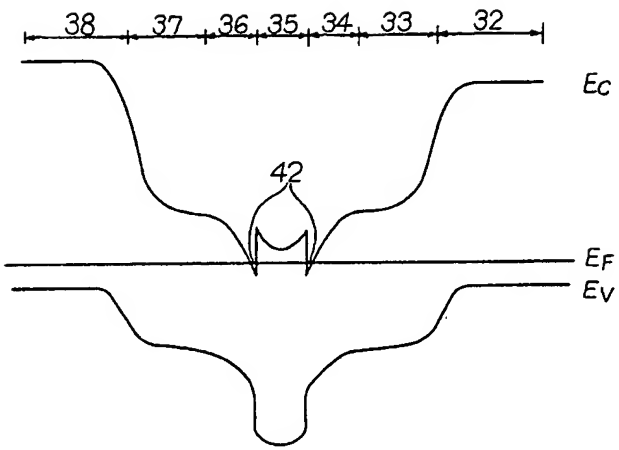
第 1 図 (b)



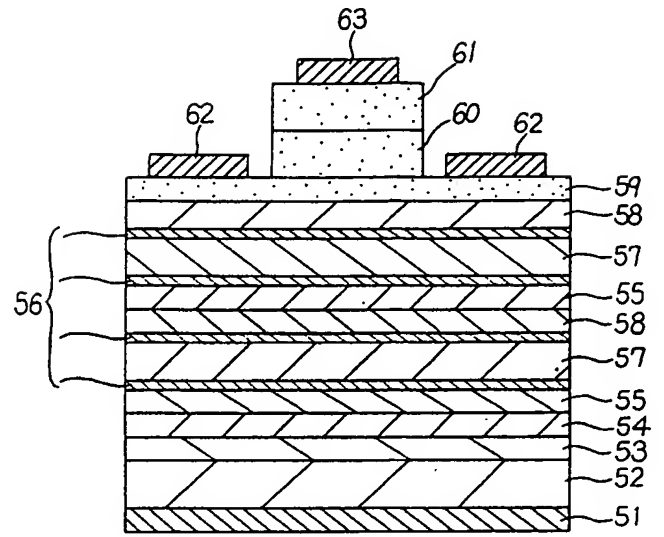
第 1 図 (a)



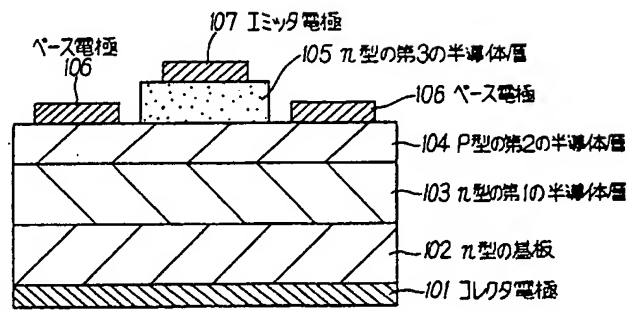
第 2 図 (a)



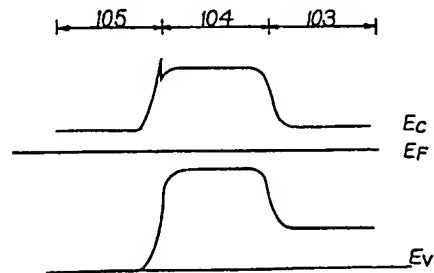
第2図 (b)



第3図



第4図



第5図